

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
13. Mai 2004 (13.05.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/040643 A1

(51) Internationale Patentklassifikation⁷: H01L 21/8222,
27/082, 29/08

(21) Internationales Aktenzeichen: PCT/DE2003/003552

(22) Internationales Anmeldedatum:
24. Oktober 2003 (24.10.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 50 204.8 28. Oktober 2002 (28.10.2002) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.
Martin-Strasse 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): BÖCK, Josef [DE/DE];
Hugo-Weiss-Str. 13, 81827 München (DE). LACHNER,
Rudolf [DE/DE]; Wallensteinstr. 68, 85051 Ingolstadt
(DE). MEISTER, Thomas [DE/DE]; Schlesierstr. 15,

82024 Taufkirchen (DE). SCHÄFER, Herbert [DE/DE];
Altdorfstr. 15, 85635 Höhenkirchen-Siegertsbrunn (DE).
SECK, Martin [DE/DE]; Edeltraudstr. 4, 81827 München
(DE). STENGL, Reinhard [DE/DE]; Bergstr. 3, 86391
Stadtbergen (DE).

(74) Anwälte: KARL, Frank usw.; Kindermann, Postfach
1330, 85627 Grasbrunn (DE).

(81) Bestimmungsstaaten (national): CN, JP, KR, SG, US.

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,
HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

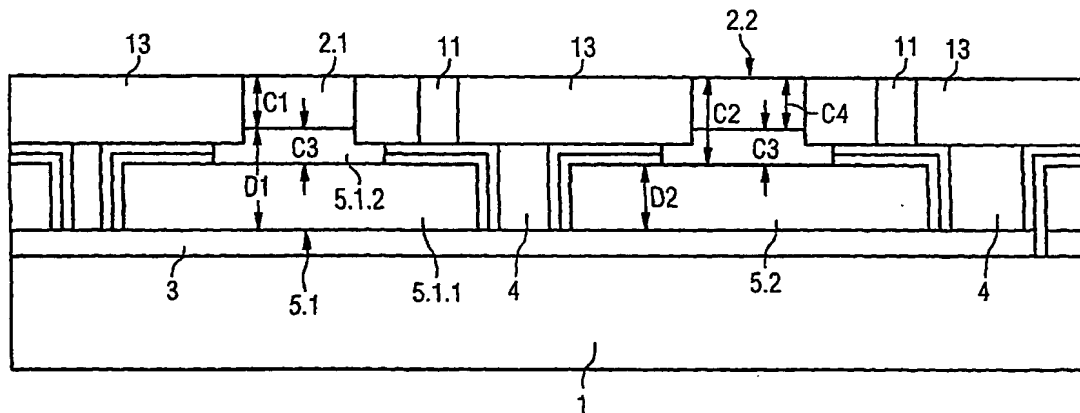
Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden
Frist; Veröffentlichung wird wiederholt, falls Änderungen
eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Ab-
kürzungen wird auf die Erklärungen ("Guidance Notes on Co-
des and Abbreviations") am Anfang jeder regulären Ausgabe der
PCT-Gazette verwiesen.

(54) Title: METHOD FOR PRODUCING A TRANSISTOR STRUCTURE

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINER TRANSISTORSTRUKTUR



(57) Abstract: The invention relates to a method for producing a transistor structure, comprised of at least one first and one second bipolar transistor with different collector widths. The invention is characterized in that all junctions between differently doped regions have a sharp interface. A first collector region (2.1) is suited for use in a high-frequency transistor having high limit frequencies f_T , and a second collector region (2.2) is suited for use in a high-voltage transistor having increased breakdown voltages.

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zur Herstellung einer Transistorstruktur, bestehend aus mindestens einem ersten und einem zweiten Bipolartransistor mit unterschiedlichen Kollektorweiten. Die Erfindung zeichnet sich dadurch aus, dass alle Übergänge zwischen unterschiedlich dotierten Bereichen eine scharfe Grenzfläche aufweisen. Hierbei ist beispielsweise ein erster Kollektorbereich 2.1 für einen Hochfrequenztransistor mit hohen Grenzfrequenzen f_T , ein zweiter Kollektorbereich 2.2 für einen Hochvolttransistor mit erhöhten Durchbruchspannungen geeignet.

Beschreibung

Verfahren zur Herstellung einer Transistorstruktur

5 Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung einer Transistorstruktur, bestehend aus mindestens einem ersten und einem zweiten Bipolartransistor mit unterschiedlichen Kollektorweiten. Solch ein Verfahren ist beispielsweise aus der DE 100 44 838 C2 bekannt.

10

Bei Bipolartransistoren wird üblicherweise der Kollektor durch eine hochdotierte vergrabene Schicht (Buried Layer) abgeschlossen. Die vergrabene Schicht wird dadurch erzeugt, dass das Substrat eine Ionen-Implantation an der gewünschten
15 Stelle erfährt. Im Anschluss wird eine niedrig dotierte Epitaxieschicht aufgebracht und die Wannen für Basis, Emitter und Kollektor erzeugt. Eine mögliche Prozessfolge ist beispielsweise in dem Lehrbuch „Technologie hochintegrierter Schaltungen“ von D. Widmann, H. Mader, H. Friedrich, Springer
20 Verlag, 2. Auflage, Tabelle 8.13 , S. 326-334 beschrieben.

Für integrierte Hochfrequenzschaltungen im GHz-Bereich ist es günstig, sowohl Hochvolt-Transistoren (HV-Transistor) mit einer hohen Durchbruchspannung als auch Hochfrequenz-

25 Transistoren (HF-Transistors) mit einer kurzen Kollektortransitzeit und somit hoher Grenzfrequenz F_t zu integrieren. Aufgrund der bisher bekannten Herstellungsverfahren muss bei der Integration von Bipolartransistoren mit unterschiedlichen Grenzfrequenzen und Bipolartransistoren mit unterschiedlichen
30 Durchbruchspannungen in Hochfrequenzschaltungen ein Kompromiss bezüglich der Eigenschaften gefunden werden. Hierdurch kann die Leistung solch einer Hochfrequenzschaltung nicht optimal ausgenutzt werden.

35 Bislang wurde solch eine Integration z. B. durch eine unterschiedlich hohe Dotierstoffkonzentration des Kollektorbereichs realisiert. Je geringer die Dotierung, desto höher ist

die Kollektor-Basis-Durchbruchspannung. Die Kollektortransitzeit wird hierdurch jedoch größer und somit Grenzfrequenz F_t niedriger. Je höher die Dotierung, desto kürzer die Kollektortransitzeit aber desto kleiner die Kollektor-Basis-Durchbruchspannung des Transistors.

- 10 Aus M. Racanelli et. al. "Ultra High Speed SiGe NPN for Advanced BiCMOS Technology", 2001 IEEE ist es bekannt, die Dotierung eines Kollektorbereichs eines Transistors so zu skalieren, dass die Dotierstoffkonzentration innerhalb des Kollektorbereichs einen Gradienten aufweist. Diese Lösung ermöglicht zwar eine Erhöhung der Durchbruchspannung von HF-Transistoren, stellt jedoch immer noch einen Kompromiss dar.
- 15 Neben der Dotierstoffkonzentration bestimmt auch die Dimensionierung der Kollektorweite die Eigenschaften eines Bipolartransistors. Als Kollektorweite wird derjenige Bereich der Epitaxieschicht bezeichnet, der zwischen der in der Epitaxieschicht gelegenen Wanne der Basis und der vergrabenen Schicht
- 20 gelegen ist. HF-Transistoren, die auf hohe Grenzfrequenzen optimiert werden sollen, müssen eine kleine Kollektorweite, HV-Transistoren, die auf hohe Durchbruchspannungen hin optimiert sind, eine große Kollektorweite aufweisen.
- 25 Die DE 100 44 838 C2 beschreibt ein Halbleiterbauelement sowie ein Verfahren zu dessen Herstellung, bei dem bipolare Bauelemente mit unterschiedlichen Kollektorweiten realisiert werden. Hierbei wird in eine vergrabene Schicht eines bipolaren Bauelementes ein zusätzlicher Stoff eingebracht, der die
- 30 Diffusion eines Dotierstoffes der vergrabenen Schicht und somit die Kollektorweite dieses bipolaren Bauelementes beeinflusst. Allerdings ergibt sich durch dieses Verfahren kein scharfer Übergang zwischen den unterschiedlich dotierten vergrabenen Schichten und Kollektoren. Die Kollektorweite lässt
- 35 sich somit nicht exakt und mit scharfem Profil einstellen, sondern zeigt ein „verschmiertes“ Profil mit flachem Gradienten.

Aufgabe der vorliegenden Erfindung ist demnach, ein optimiertes Verfahren zur Herstellung einer Transistorstruktur anzugeben, bei dem die Ausbildung von Kollektorbereichen mit unterschiedlichen Kollektorweiten ermöglicht werden, wobei
5 die Kollektorbereiche eine scharfe Grenze zu den vergrabenen Schichten aufweisen.

Erfindungsgemäß wird die Aufgabe durch ein Verfahren der eingangs genannten Art gelöst, bei dem mindestens ein erster
10 Kollektorbereich mit einer ersten Kollektorweite C1 auf einer ersten vergrabenen Schicht und ein zweiter Kollektorbereich mit einer zweiten Kollektorweite C2 auf einer zweiten vergrabenen Schicht erzeugt werden, wobei für die Erzeugung der
15 zweiten Kollektorweite C2 eine erste Kollektorzone mit einer ersten Dicke C3 auf der zweiten vergrabenen Schicht und eine zweite Kollektorzone mit einer zweiten Dicke C4 auf der ersten Kollektorzone erzeugt werden und mindestens ein Isolationsbereich erzeugt wird, der zumindest die Kollektorbereiche
20 voneinander trennt.

Hierdurch wird erreicht, dass die Kollektorweite der beiden Bipolartransistoren der Transistorstruktur unterschiedlich ist, und die Kollektorbereiche einen scharfen bzw. abrupten
25 Übergang mit steilem Gradienten zu den benachbarten Bereichen, wie den vergrabenen Schichten, aufweisen. Die Kollektorweite C1 des ersten Bipolartransistors entspricht vorzugsweise der ersten Dicke C3 des zweiten Kollektorbereiches. Die Kollektorweite C2 des zweiten Bipolartransistors setzt sich
30 aus den Dicken C3 sowie C4 der Kollektorzonen des zweiten Kollektorbereiches zusammen. Je dicker demnach die zweite Dicke C4 ist, desto größer ist auch der Unterschied der Kollektorweiten beider Bipolartransistoren.

35 Der Erfindung liegt die Erkenntnis zugrunde, dass eine scharfe Grenze bzw. ein abrupter Übergang von dem niedrigdotierten Kollektor zu der hochdotierten vergrabenen Schicht das Ver-

- halten eines Transistors wesentlich verbessert, da ein abruptes Profil mit steilem Gradienten bei einem gleichbleibenden Schichtwiderstand kleinere Randkapazitäten besitzt als ein Profil mit flachem Gradienten. Ebenso wird durch das erfindungsgemäße Verfahren das Hochstromverhalten des Transistors verbessert, da sich in dem mit Ladungsträgern überschwemmten Teil des Kollektors kein unnötiger Dotierstoff befindet und dafür der Durchlass der vergrabenen Schicht erniedrigt ist.
- 10 Erfindungsgemäß wird das Verfahren der eingangs genannten Art dahingehend weiterentwickelt, dass mindestens eine erste Zone einer ersten vergrabenen Schicht von einem ersten Leitfähigkeitstyp des ersten Bipolartransistors und eine erste Zone einer zweiten vergrabenen Schicht von einem ersten oder einem
- 15 zweiten Leitfähigkeitstyp des zweiten Bipolartransistors in das Halbleitersubstrat eingebracht werden, eine erste epitaktische Schicht erzeugt wird, die ganzflächig zumindest die erste Zone der vergrabenen Schichten bedeckt, zumindest eine zweite Zone von dem ersten Leitfähigkeitstyp innerhalb der
- 20 ersten epitaktischen Schicht erzeugt wird, wobei die zweite Zone an die erste Zone der ersten vergrabenen Schicht angrenzt, eine zweite epitaktische Schicht erzeugt wird, die ganzflächig zumindest die erste epitaktische Schicht und die zweite Zone der ersten vergrabenen Schicht bedeckt, mindestens ein Isolationsbereich erzeugt wird, der zumindest die
- 25 Kollektorbereiche voneinander trennt, wobei die zweite Zone der ersten vergrabenen Schicht an den ersten Kollektorbereich und die erste Zone der zweiten vergrabenen Schicht an den zweiten Kollektorbereich angrenzen.
- 30 Hierdurch werden vergrabene Schichten mit unterschiedlichen Dicken erzeugt, wobei sich die Dicke der ersten vergrabenen Schicht aus einer ersten Zone, die in das Halbleitersubstrat, und einer zweiten Zone, die in die erste epitaktische Schicht
- 35 eingebracht ist, zusammensetzt. Die zweite vergrabene Schicht und die erste Zone der ersten vergrabenen Schicht sind hierbei vorzugsweise gleich dick. Die Dicken der ersten und zwei-

ten vergrabenen Schichten unterscheiden sich also um die Dicke der zweiten Zone der zweiten vergrabenen Schicht. Da die Kollektorweite, wie eingangs erwähnt, von der Dicke der Epitaxieschicht, abzüglich der in die Epitaxieschicht reichenden vergrabenen Schicht abhängt, können die Kollektorweiten C1 und C2 auf einfache Weise variiert werden und haben doch, anders als bei bislang bekannten Ausführungen, einen scharfen Übergang zwischen den hochdotierten vergrabenen Schichten und den niedrig dotierten Kollektorbereichen.

10

Darüber hinaus schlagen die Erfinder vor, das Verfahren der eingangs genannten Art derart weiterzuentwickeln, dass mindestens eine erste Zone einer ersten vergrabenen Schicht von einem ersten Leitfähigkeitstyp des ersten Bipolartransistors und eine zweite vergrabene Schicht von einem ersten oder einem zweiten Leitfähigkeitstyp des zweiten Bipolartransistors in das Halbleitersubstrat eingebracht werden, mindestens eine erste Kollektorzone des ersten Bipolartransistors und eine erste Kollektorzone des zweiten Bipolartransistors erzeugt werden, wobei die erste Kollektorzone des ersten Bipolartransistors an die erste Zone und die erste Kollektorzone des zweiten Bipolartransistors an die zweite vergrabene Schicht angrenzt, die erste Kollektorzone als erster Leitfähigkeitstyp ausgebildet wird, eine zweite Kollektorzone auf der ersten Kollektorzone des zweiten Bipolartransistors und eine zweite Kollektorzone auf der ersten Kollektorzone des ersten Bipolartransistors erzeugt werden und mindestens ein Isolationsbereich erzeugt wird, der zumindest die Kollektorzonen voneinander trennt.

30

Auch hierdurch wird auf einfache Weise erreicht, dass Kollektorbereiche hergestellt werden, die sowohl unterschiedliche Dicken als auch scharfe Profile mit steilem Gradienten zu den benachbarten vergrabenen Schichten aufweisen und somit eine Transistorstruktur ausgebildet wird, die sowohl die Eigenschaften eines HV-Transistors als auch die eines HF-Transistors beinhaltet.

35

Eine Weiterbildung der erfindungsgemäßen Verfahren sieht vor, dass die dritte Kollektorzone abgeschieden wird.

- 5 In einer bevorzugten Weiterbildung der erfindungsgemäßen Verfahren wird die dritte Kollektorzone epitaktisch abgeschieden. Hierdurch wird die Kollektorzone mit möglichst wenig Kristalldefekten aufgewachsen, was für die Funktionseigenschaften eines Bipolartransistors sehr wichtig ist.

10

- Eine andere Ausgestaltung sieht vor, dass eine Isolierschicht (SOI-Schicht, SOI = Silicon On Insulator = Silizium auf Isolator) zwischen den vergrabenen Schichten und dem Halbleitersubstrat vorgesehen ist. Hierdurch werden die Kollektorbereiche vom Substrat elektrisch isoliert und kapazitiv entkoppelt, ohne dass eine zusätzliche Isolation notwendig ist.

15

- Typischerweise wird der Isolationsbereich, der zumindest die Kollektorbereiche voneinander trennt, mit Hilfe von Shallow-Trench-Isolationstechnik (STI-Technik) voneinander getrennt. Der Isolationsbereich kann mit einem elektrisch isolierenden Material, wie beispielsweise einem CVD-Oxid (CVD = Chemical Vapour Deposition) gefüllt sein. Vorzugsweise werden hierdurch die zwei lateral benachbarten hochdotierten vergrabenen Schichten zweier Bipolartransistoren elektrisch voneinander isoliert. Dieser Isolationsbereich kann beispielsweise als Full Trench (vollständiger Graben) oder als Deep Trench (tiefer Graben) ausgeführt sein.

20

25

- Ein Full Trench ist ein Graben, beispielsweise zwischen Bauelementen eines Chips, bei dem das Silizium bis zu den vergrabenen Schichten geätzt oder unterbrochen ist, so dass Strompfade zwischen den Bauelementen vollständig unterbrochen sind. Ein Full Trench kann größere Transistorbereiche voneinander trennen, wie es auch in einem Artikel von S. Maeda, "Impact of 0,18 μm SOI CMOS Technology using Hybrid Trench Isolation with High Resistivity Substrat on Embedded

30

35

RF/Analog Applications", 2000 Symp. on VLSI Technology - Digest of Technical Papers (CAT.No. 00CH37104), Seite 154 bis 155 beschrieben ist.

5 Ein Deep Trench wird beispielsweise in dem Artikel "An SOI-Based High Performance Self-Aligned Bipolar Technology Featuring 20 ps Gate-Delay and a 8.6 fJ Power Delay Product" von E. Bertagnolli et al., 1993, Symp. on VLSI-Technologie, Digest of Technical Papers (CAT.No. 93CH3303-5), Seite 63 bis
10 64 beschrieben. Im Gegensatz zum Full Trench ist der Deep Trench nicht breit genug, um darüber passive Bauelementen in ihren vollen Abmessungen integrieren zu können. Vielmehr dient der Deep Trench zur dielektrischen Bauelementeisolati-
on.

15

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend bezugnehmend auf die beiliegenden Zeichnungen im Detail erläutert. Es zeigen

20 Figuren 1a bis 1d in schematischer Querschnittsansicht ein erstes erfindungsgemäßes Verfahren zur Erzeugung einer erfindungsgemäßen Transistorstruktur mit zwei Kollektorbereichen unterschiedlicher Kollektorweite mittels selektiver Epitaxie,
25

Figuren 2a bis 2e in schematischer Querschnittsansicht ein zweites erfindungsgemäßes Verfahren zur Erzeugung einer Transistorstruktur mit zwei
30 Kollektorbereichen unterschiedlicher Kollektorweite mittels ganzflächiger Epitaxie,

Figuren 3a bis 3c in schematischer Querschnittsansicht ein drittes erfindungsgemäßes Verfahren zur Erzeugung
35 einer Transistorstruktur mit zwei Kollektorbereichen unterschiedlicher Kollektorweite,

Figur 4 in schematischer Querschnittsansicht eine alternative Ausgestaltung zur Erzeugung einer Transistorstruktur mit zwei Kollektorbereichen unterschiedlicher Kollektorweite mit SOI-Struktur.

5

Das anhand der Figuren 1a bis 1d im folgenden beschriebene erste erfindungsgemäße Verfahren zur Erzeugung einer erfindungsgemäßen Transistorstruktur mit zwei Kollektorbereichen unterschiedlicher Kollektorweite erfolgt mittels selektiver Epitaxie.

10

In der Figur 1a sind bereits die, beispielsweise n^+ -dotierten, vergrabenen Schichten 5.1 und 5.2 in das Halbleitersubstrat 1 eingebracht und durch Isolationsbereiche 4, hier als Tiefe Trenches 4 realisiert, voneinander isoliert worden. Das Halbleitersubstrat 1 besteht z. B. aus einkristallinem Silizium, das p-dotiert ist.

15

Weiterhin sind eine erste Hilfsschicht 6 und eine zweite Hilfsschicht 7 vorgesehen, die den Isolationsbereich 4 von dem Halbleitersubstrat 1 und den vergrabenen Schichten 5.1 und 5.2 trennen. Hierbei grenzt die zweite Hilfsschicht 7 an den Isolationsbereich 4 an und die erste Hilfsschicht 6 an die zweite Hilfsschicht 7 sowie an das Halbleitersubstrat 1 und die vergrabenen Schichten 5.1 und 5.2.

20

25

Die zweite Hilfsschicht 7 besteht vorzugsweise aus einem Material, das beständig gegen Oxidation und selektiv zu Oxid ätzbar ist, wie beispielsweise Siliziumnitrid Si_3N_4 . Hierdurch können Seitenwanddefekte vermieden werden, also Kristallfehler, die an der Grenzfläche zwischen einem dielektrischen Material und Silizium beim epitaktischen Aufwachsen des Siliziums entstehen. In einer anderen Variante kann die zweite Hilfsschicht 7 aus Polysilizium gebildet werden. Die Dicke dieser zweiten Hilfsschicht 7 liegt im Bereich zwischen 3 nm bis 60 nm. Ein Vorteil dieser dünnen Nitridauskleidung besteht darin, dass sie die Wand des, beispielsweise mit CVD-

30

35

Oxid gefüllten, Isolationsbereiches 4 vor Oxidationen schützt und so Defektbildungen verhindert.

Die erste Hilfsschicht 6 besteht vorzugsweise aus einem Material, welches selektiv zur Schicht 7 ätzbar ist und große mechanische Spannungen auf dem Halbleitersubstrat 1 vermeidet, wie beispielsweise einem Oxid. Weiterhin kann die Hilfsschicht 6 bis zur Epitaxie die empfindliche Silizium-Oberfläche der vergrabenen Schichten 5.1 und 5.2 vor Oxidation schützen.

Die Öffnungen 12 werden bis zu der zweiten Hilfsschicht 7 in eine STI-Oxidschicht 13 geätzt, die vorzugsweise ganzflächig das Halbleitersubstrat 1 mit den darauf befindlichen Hilfsschichten 6 und 7 bedeckt. Wie aus der EP 0 600 276 B1 bekannt ist, kann die Ätzung durch anisotropes Trockenätzen erfolgen, das selektiv auf Siliziumnitrid, und damit auf der zweiten Hilfsschicht 7, stoppt.

Im anschließenden Verfahrensschritt gemäß der Figur 1b erfolgt eine laterale Unterätzung 14 der Hilfsschichten 6 und 7. Die Unterätzung 14 wird genauer in der EP 0 600 276 B1 beschrieben. Da sich Seitenwanddefekte, ausgehend von den Grenzflächen zwischen den Hilfsschichten 6 und 7 und der Oberfläche der vergrabenen Schichten 5.1 und 5.2, bilden und unter einem Winkel von etwa 52° entlang von (111)-Kristallflächen, also beispielsweise entlang der Seitenwand der STI-Oxidschicht, hochwachsen, kann dieses Wachstum der Seitenwanddefekte durch den Überhang, der von den Unterätzungen 14 der STI-Oxidschicht 13 gebildet wird, unterbrochen werden.

Im Anschluss wird ein erster Kollektorbereich 2.1 mit einer Dicke C1 sowie eine Kollektorzone 2.2.1 mit einer Dicke C3 epitaktisch abgeschieden, wobei der erste Kollektorbereich 2.1 an die erste vergrabene Schicht 5.1 und die Kollektorzone 2.2.1 an die zweite vergrabene Schicht 5.2 angrenzt. Die Kol-

lektorzone 2.2.1 ist hierbei für den zweiten Kollektorbereich eines zweiten Bipolartransistors vorgesehen. Die Dicken C1 und C3 des Kollektorbereiches 2.1 und der Kollektorzone 2.2.1 sind annähernd gleich und liegen vorzugsweise zwischen 50 nm und 300 nm.

Nach Abdeckung des ersten Kollektorbereiches 2.1 mit einer maskierenden Schicht 8 wird in der Figur 1c auf der Kollektorzone 2.2.1 eine weitere Kollektorzone 2.2.2 epitaktisch aufgebracht. Diese Kollektorzone 2.2.2 hat vorzugsweise eine Dicke C4, die zwischen 100 nm und 200 nm beträgt. Damit liegt die Kollektorweite C2 des zweiten Kollektorbereiches 2.2, der sich aus den Kollektorzonen 2.2.1 und 2.2.2 zusammensetzt, im Bereich zwischen 150 nm und 500 nm.

Im vorliegenden Beispiel schließt der zweite Kollektorbereich 2.2 auf annähernd gleicher Höhe mit der Oberfläche der STI-Oxidschicht 13 ab.

Typischerweise stehen die Kollektorweite C1 des ersten Kollektorbereiches 2.1 und die Kollektorweite C2 des zweiten Kollektorbereiches 2.2 zueinander in einem Verhältnis, das zwischen 0,05 und 0,9 liegt. Typische Werte liegen bei 100 nm für die Kollektorweite C1, sowie 250 nm für die Kollektorweite C2. Durch die unterschiedlichen Kollektorweiten C1 und C2 der zwei Kollektorbereiche 2.1 und 2.2 auf demselben Halbleitersubstrat 1 wird erreicht, dass sowohl die Eigenschaften eines HF-Transistors als auch eines HV-Transistors optimiert werden.

Sollen noch größere Unterschiede zwischen den Kollektorweiten des ersten und zweiten Kollektorbereiches 2.1 und 2.2 erzielt werden, so wird im Verfahrensschritt der Figur 1b die Kollektorweite C1 und die Dicke C3 relativ gering gehalten und im darauf folgenden Verfahrensschritt der Figur 1c die Abscheidung der Kollektorzone 2.2.2 mit einer zweiten Dicke C4 entsprechend häufig wiederholt.

In der Transistorstruktur der Figur 1d wurde die maskierende Schicht über dem Kollektorbereich 2.1 entfernt und Kollektoranschlussbereiche 11 eingefügt. Nach Auffüllung mit beispielsweise Wolfram, können die Kollektoren zur Oberfläche elektrisch herausgeführt werden, wodurch die Integration der Transistorstruktur in einen integrierten Schaltkreis ermöglicht wird.

Das anhand der Figuren 1a bis 1d beschriebene erfindungsgemäße Verfahren zur Herstellung einer Transistorstruktur für zwei Bipolartransistoren mit Hilfe der selektiven Epitaxie ist besonders einfach. Es werden die verschiedenen Kollektorbereiche in jeweils aufeinanderfolgenden Epitaxieschritten mit der benötigten Dicke in der STI-Oxidschicht 13 abgeschieden, wobei der schon fertig gestellte Kollektorbereich 2.1 durch eine maskierende Schicht 8 abgedeckt wird, um eine weitere epitaktische Abschneidung zu verhindern. Die für eine epitaktische Abscheidung benötigten Bereiche in der STI-Oxidschicht 13 werden also jeweils nur für den entsprechenden Epitaxieschritt geöffnet.

Auch mit Hilfe von ganzflächiger Epitaxie ist es möglich, Kollektorbereiche 2.x mit unterschiedlichen Kollektorweiten und scharfen Übergängen zu den hochdotierten vergrabenen Schichten zu realisieren, wie anhand der Figuren 2a bis 2e nachfolgend erläutert. Hierbei schließen die Kollektorbereiche 2.x nach oben planar auf gleicher Höhe mit der Oberfläche der STI-Oxidschicht 13 ab, wobei die Dicken D1 und D2 der vergrabenen Schichten 5.1 und 5.2 variiert werden. Dieser planare Abschluss ist besonders vorteilhaft, da für anschließende Fotoschritte (hier nicht beschrieben), mit Strukturgrößen kleiner als 0.35 μm , planare Oberflächen benötigt werden.

Gemäß der Figur 2a wird über die ganze Fläche des Halbleitersubstrats 1, in das eine erste Zone 5.1.1 einer ersten vergrabenen Schicht und eine weitere erste Zone 5.2.1 einer

zweiten vergrabenen Schicht bereits implantiert wurden, eine epitaktische Schicht 9 mit einer Dicke E1 abgeschieden. Die ersten Zonen 5.1.1 und 5.2.1 sind vorzugsweise n^+ -dotiert.

- 5 Im Anschluss wird in Figur 2b in die epitaktische Schicht 9 eine zweite Zone 5.1.2 der vergrabenen Schicht 5.1 und eine zweite Zone 5.2.2 der vergrabenen Schicht 5.2 eingebracht, wobei auch diese zweiten Zonen 5.x.2 n^+ -dotiert sind. Die zweite Zone 5.1.2 erstreckt sich hierbei annähernd über die Fläche der ersten Zone 5.1.1, die zweite Zone 5.2.2 der vergrabenen Schicht 5.2 dagegen lediglich über einen Teilbereich der ersten Zone 5.2.1 der vergrabenen Schicht 5.2.

- 15 Im darauffolgenden Schritt des erfindungsgemäßen Verfahrens in der Figur 2c wird eine zweite epitaktische Schicht 10 ganzflächig über die epitaktische Schicht 9, sowie die zweiten Zonen 5.x.2 der vergrabenen Schichten 5.1 und 5.2 in einer Dicke E2 abgeschieden. Hierbei kann diese zweite epitaktische Schicht 10 aus einer einzigen oder mehreren Abscheidungen hintereinander resultieren. Durch die Dicke E2 dieser epitaktischen Schicht 10 kann die Kollektorweite C1 eines ersten Kollektorbereiches festgelegt werden, wobei die Kollektorweite C1 der Dicke E2 der epitaktischen Schicht 10 entspricht. Die Kollektorweite C2 des zweiten Kollektorbereiches entspricht dagegen der Summe der Dicken E1 der epitaktischen Schicht 9 sowie der Dicke E2 der epitaktischen Schicht 10.

- 30 Die vergrabenen Schichten 5.1 und 5.2 werden in der Figur 2d über Isolationsbereiche 4, im vorliegenden Beispiel als tiefe Gräben ausgeführt, voneinander isoliert.

- 35 Anschließend wird in der Figur 2e die STI-Oxidschicht 13 in die epitaktische Schicht 10 gemäß der Figur 2d geätzt und vorzugsweise mit STI-Oxid aufgefüllt, wobei Bereiche für den Kollektoranschlussbereich 11 sowie den ersten und zweiten Kollektorbereich 2.1 und 2.2 frei gelassen werden. Danach werden die Kollektoranschlussbereiche 11 über den zweiten Zo-

nen 5.2.2 und 5.1.2 geätzt, um hierdurch eine elektrische Anbindung des Kollektors zu ermöglichen.

Der erste Kollektorbereich 2.1 hat somit eine erste Kollektorweite C1, der zweite Kollektorbereich eine größere Kollektorweite C2. Beide Kollektorbereiche 2.1 und 2.2 schließen planar mit der Oberfläche der STI-Oxidschicht 13 ab und besitzen beide scharfe Übergänge zwischen den stark dotierten Bereichen der vergrabenen Schichten 5.x und den geringer dotierten Kollektorbereichen 2.x. Hierdurch erhält die Transistorstruktur definierte und exakt bestimmbare Eigenschaften.

Ein weiteres erfindungsgemäßes Verfahren zur Herstellung einer erfindungsgemäßen Transistorstruktur mit zwei Kollektorbereichen unterschiedlicher Kollektorweite wird anhand der Figuren 3a bis 3c näher beschrieben.

In der Figur 3a wird analog zu der Figur 1b eine Struktur zur Verfügung gestellt, mit einem, vorzugsweise p-dotierten, Halbleitersubstrat 1, einer in das Halbleitersubstrat 1 implantierten ersten Zone 5.1.1 einer ersten vergrabenen Schicht und einer implantierten zweiten vergrabenen Schicht 5.2, mit einer Dicke D2, Isolationsbereichen 4, einer ersten Hilfsschicht 6 und einer zweiten Hilfsschicht 7, einer STI-Oxidschicht 13 und den Kollektorzonen 2.1.1 und 2.2.1.

Wie in der Figur 1b sind in der Figur 3a die Hilfsschichten 6 und 7 unter die STI-Oxidschicht 13 unterätzt, so dass die Kollektorzonen 2.1.1 und 2.2.1 im Querschnitt einen stufenförmigen Verlauf aufweisen. Durch diese Unterätzung 14 zeigt die STI-Oxidsschicht 13 einen Überhang über einen Teil der Kollektorzonen 2.1.1 und 2.2.1.

Die Dicke C3 dieser Kollektorzonen 2.1.1 und 2.2.1 kann zwischen 5nm und 300nm variieren.

Nach Aufbringen einer maskierenden Schicht 8 auf den Bereich der Kollektorzone 2.2.1 wird die Kollektorzone 2.1.1, wie anhand der Pfeile 15 in der Figur 3b gezeigt, derart dotiert, dass sie die selbe Dotierung wie die erste Zone 5.1.1 der ersten vergrabenen Schicht 5.1 aufweist. Vorzugsweise ist dies eine n^+ -Dotierung. Diese neu gebildete zweite Zone 5.1.2 und die erste Zone 5.1.1 bilden nun die vergrabene Schicht 5.1 mit einer Dicke D1 aus.

Nach Entfernen der maskierenden Schicht 8 wird in der Figur 3c ein erster Kollektorbereich 2.1 auf der ersten vergrabenen Schicht 5.1 mit einer Kollektorweite C1 und auf der Kollektorzone 2.2.1 eine weitere Kollektorzone 2.2.2 mit einer Dicke C4 epitaktisch abgeschieden. Der zweite Kollektorbereich 2.2 bildet sich nun aus den beiden Kollektorzonen 2.2.1 und 2.2.2 und hat eine Kollektorweite C2, die die Summe der Dicken C3 und C4 darstellt. Beide Kollektorbereiche 2.1 und 2.2 schließen planar mit der Oberfläche der STI-Oxidschicht 13 ab.

Nach Einfügen der Kollektoranschlussbereiche 11 und Füllen mit beispielsweise Wolfram ist die Transistorstruktur der Figur 3c für eine Verwendung in Bipolartransistoren geeignet.

In einer weiteren erfindungsgemäßen Ausführungsform der Figur 4 wird zwischen dem Halbleitersubstrat 1 und den vergrabenen Schichten 5.1 und 5.2 eine Isolierschicht 3 erzeugt.

Die Erzeugung der Kollektorbereiche 2.1 und 2.2 mit unterschiedlichen Kollektorweiten C1 und C2 und scharfen Übergängen zwischen den Kollektorbereichen und den vergrabenen Schichten kann dem erfindungsgemäßen Verfahren aus den Figuren 3a bis 3c entsprechen. Darüber hinaus sind auch die erfindungsgemäßen Verfahren, die anhand der Figuren 1a bis 1d und 2a bis 2e erläutert sind, denkbar.

Vorzugsweise werden in den erfindungsgemäßen Verfahren der Figuren 1 bis 4 die erste vergrabene Schicht 5.1 und die zweite vergrabene Schicht 5.2 als gleicher Leitfähigkeitstyp ausgestaltet. Diese Ausgestaltung ermöglicht die Ausbildung
5 zweier gleichartiger Transistorstrukturen nebeneinander, also beispielsweise zweier npn-Transistoren bzw. zweier pnp-Transistoren.

In einer alternativen Ausführungsform sind die erste vergra-
10 bene Schicht 5.1 und die zweite vergrabene Schicht 5.2 als unterschiedlichen Leitfähigkeitstypen ausgestaltet. Hierdurch wird es ermöglicht, auf demselben Halbleitersubstrat 1 einen npn-Transistor neben einen pnp-Transistor auszubilden.

15 In einer besonders vorteilhaften Weiterbildung der erfindungsgemäßen Verfahren werden die Kollektorbereiche mit einem Dotierstoffgradienten ausgebildet, wobei die Konzentration des Dotierstoffes in horizontaler Richtung variiert. Diese Weiterbildung ermöglicht es beispielsweise, im mittleren Kol-
20 lektorbereich eine erhöhte Dotierstoffkonzentration auszubilden. Diese Weiterbildung, insbesondere mit einer geringen Dicke des Kollektorbereiches, verringert die Basis-Kollektor-Raumladungszone und verringert somit die Kollektortransitzeit. Vor allem bei sehr kleinen Transistorstrukturen, bei
25 denen der Emitterbereich oberhalb des Kollektorbereiches zentriert angeordnet ist, ist diese Weiterbildung besonders vorteilhaft.

Es versteht sich, dass anstelle der Deep Trenches auch Full
30 Trenches als Isolationsbereiche 4 verwendet werden können.

Insgesamt ermöglichen die erfindungsgemäßen Verfahren, wie anhand der Figuren 1 bis 4 erläutert, die Herstellung von Transistorstrukturen, mit einem ersten Kollektorbereich 2.1,
35 mit einer ersten Kollektorweite C1, sowie einem zweiten Kollektorbereich 2.2, mit einer größeren Kollektorweite C2, auf demselben Halbleitersubstrat 1, wobei alle Übergänge zwischen

unterschiedlich dotierten Bereichen eine scharfe Grenzfläche aufweisen. Hierbei ist beispielsweise der erste Kollektorbereich 2.1 für einen Hochfrequenztransistor mit hohen Grenzfrequenzen f_T , der zweite Kollektorbereich 2.2 für einen

5 Hochvolttransistor mit erhöhten Durchbruchspannungen geeignet.

Patentansprüche

1. Verfahren zur Herstellung einer Transistorstruktur, bestehend aus mindestens einem ersten und einem zweiten Bipolartransistor mit unterschiedlichen Kollektorweiten (C1, C2), wobei
- 5 A) ein Halbleitersubstrat (1) zur Verfügung gestellt wird,
B) mindestens eine erste vergrabene Schicht (5.1) des ersten Bipolartransistors und eine zweite vergrabene Schicht (5.2) des zweiten Bipolartransistors in das Halbleitersubstrat (1) eingebracht werden und
- 10 C) mindestens ein erster Kollektorbereich (2.1) mit einer ersten Kollektorweite (C1) auf der ersten vergrabenen Schicht (5.1) und ein zweiter Kollektorbereich (2.2) mit einer zweiten Kollektorweite (C2) auf der zweiten vergrabenen Schicht (5.2) erzeugt werden,
- 15 dadurch gekennzeichnet, dass
- a) für die Erzeugung der zweiten Kollektorweite (C2) eine erste Kollektorzone (2.2.1) mit einer ersten Dicke (C3) auf der zweiten vergrabenen Schicht (5.2) und
- 20 b) eine zweite Kollektorzone (2.2.2) mit einer zweiten Dicke (C4) auf der ersten Kollektorzone (2.2.1) erzeugt werden und
- c) mindestens ein Isolationsbereich (4) erzeugt wird, der zumindest die Kollektorbereiche (2.1, 2.2) voneinander trennt.
- 25
2. Verfahren zur Herstellung einer Transistorstruktur, bestehend aus mindestens einem ersten und einem zweiten Bipolartransistor mit unterschiedlichen Kollektorweiten (C1, C2), wobei
- 30 A) ein Halbleitersubstrat (1) zur Verfügung gestellt wird,
B) mindestens ein erster Kollektorbereich (2.1) des ersten Bipolartransistors mit einer ersten Kollektorweite (C1) und ein zweiter Kollektorbereich (2.2) des zweiten Bipolartransistors mit einer zweiten Kollektorweite (C2) erzeugt werden,
- 35

dadurch gekennzeichnet, dass

- a) mindestens eine erste Zone (5.1.1) einer ersten vergrabenen Schicht (5.1) von einem ersten Leitfähigkeitstyp des ersten Bipolartransistors und eine erste Zone (5.2.1) einer zweiten vergrabenen Schicht (5.2) von einem ersten oder einem zweiten Leitfähigkeitstyp des zweiten Bipolartransistors in das Halbleitersubstrat (1) eingebracht werden,
 - b) eine erste epitaktische Schicht (9) erzeugt wird, die ganzflächig zumindest die ersten Zonen (5.1.1, 5.2.1) bedeckt,
 - c) zumindest eine zweite Zone (5.1.2) von dem ersten Leitfähigkeitstyp innerhalb der ersten epitaktischen Schicht (9) erzeugt wird, wobei die zweite Zone (5.1.2) an die erste Zone (5.1.1) der ersten vergrabenen Schicht (5.1) angrenzt,
 - d) eine zweite epitaktische Schicht (10) erzeugt wird, die ganzflächig zumindest die erste epitaktische Schicht (9) und die zweite Zone (5.1.2) der ersten vergrabenen Schicht (5.1) bedeckt,
 - d) mindestens ein Isolationsbereich (4) erzeugt wird, der zumindest die Kollektorbereiche (2.1, 2.2) voneinander trennt, wobei
 - e) die zweite Zone (5.1.2) der ersten vergrabenen Schicht (5.1) an den ersten Kollektorbereich (2.1) und die erste Zone (5.2.1) der zweiten vergrabenen Schicht (5.2) an den zweiten Kollektorbereich (2.2) angrenzen.
3. Verfahren zur Herstellung einer Transistorstruktur, bestehend aus mindestens einem ersten und einem zweiten Bipolartransistor mit unterschiedlichen Kollektorweiten (C1, C2), wobei
- A) ein Halbleitersubstrat (1) zur Verfügung gestellt wird,
 - B) mindestens ein erster Kollektorbereich (2.1) des ersten Bipolartransistors mit einer ersten Kollektorweite (C1) und ein zweiter Kollektorbereich (2.2) des zweiten Bipo-

lartransistors mit einer zweiten Kollektorweite (C2) erzeugt werden,

dadurch gekennzeichnet, dass

- 5 a) mindestens eine erste Zone (5.1.1) einer ersten vergrabenen Schicht (5.1) von einem ersten Leitfähigkeitstyp des ersten Bipolartransistors und eine zweite vergrabene Schicht (5.2) von einem ersten oder einem zweiten Leitfähigkeitstyp des zweiten Bipolartransistors in das Halbleitersubstrat (1) eingebracht werden,
- 10 b) mindestens eine erste Kollektorzone (2.1.1) des ersten Bipolartransistors und eine erste Kollektorzone (2.2.1) des zweiten Bipolartransistors erzeugt werden, wobei die erste Kollektorzone (2.1.1) des ersten Bipolartransistors an die erste Zone (5.1.1) und die erste Kollektorzone (2.2.1) des zweiten Bipolartransistors an die
- 15 zweite vergrabene Schicht (5.2) angrenzt,
- c) die erste Kollektorzone (2.1.1) als erster Leitfähigkeitstyp ausgebildet wird,
- d) eine zweite Kollektorzone (2.2.2) auf der ersten Kollektorzone (2.2.1) des zweiten Bipolartransistors und eine
- 20 zweite Kollektorzone (2.1.2) auf der ersten Kollektorzone (2.1.1) des ersten Bipolartransistors erzeugt werden und
- e) mindestens ein Isolationsbereich (4) erzeugt wird, der
- 25 zumindest die Kollektorzonen (2.x.y) voneinander trennt.

4. Verfahren nach einem der Ansprüche 1 bis 3

dadurch gekennzeichnet,

dass die zweite Kollektorzone (2.2.2) abgeschieden wird.

30

5. Verfahren nach Anspruch 4

dadurch gekennzeichnet,

dass die zweite Kollektorzone (2.2.2) epitaktisch abgeschieden wird.

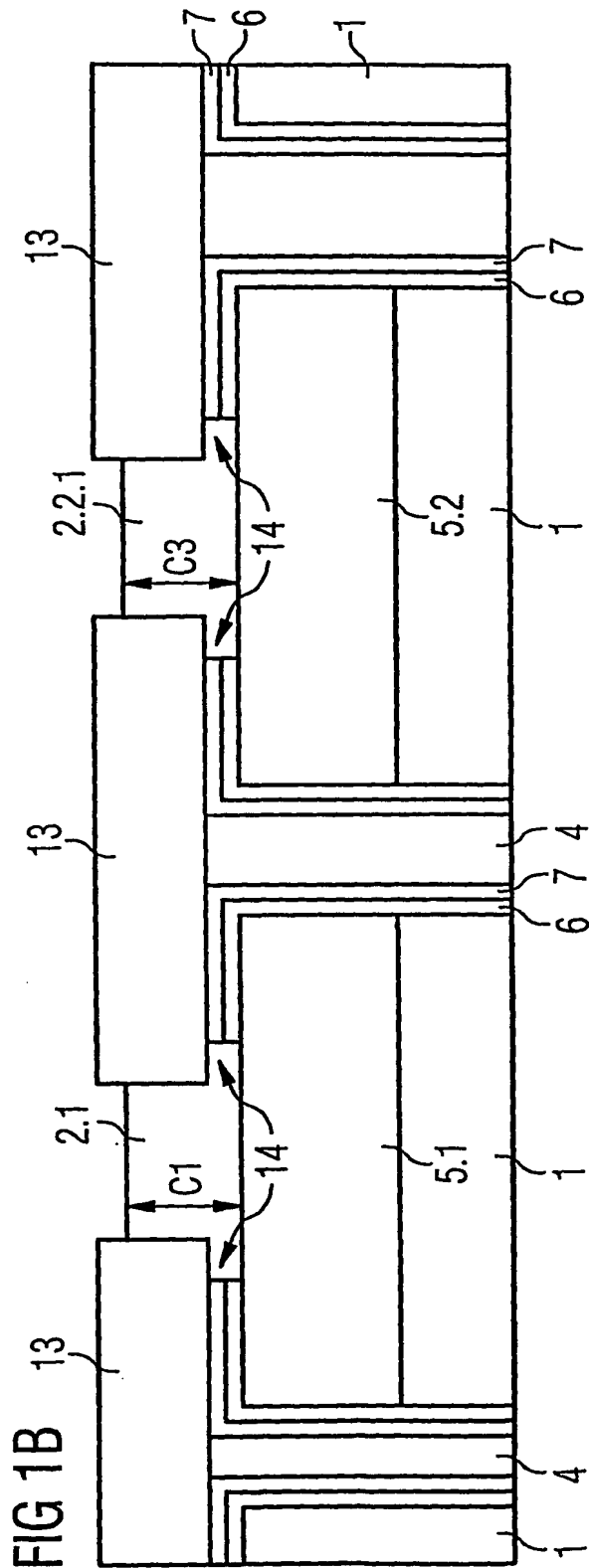
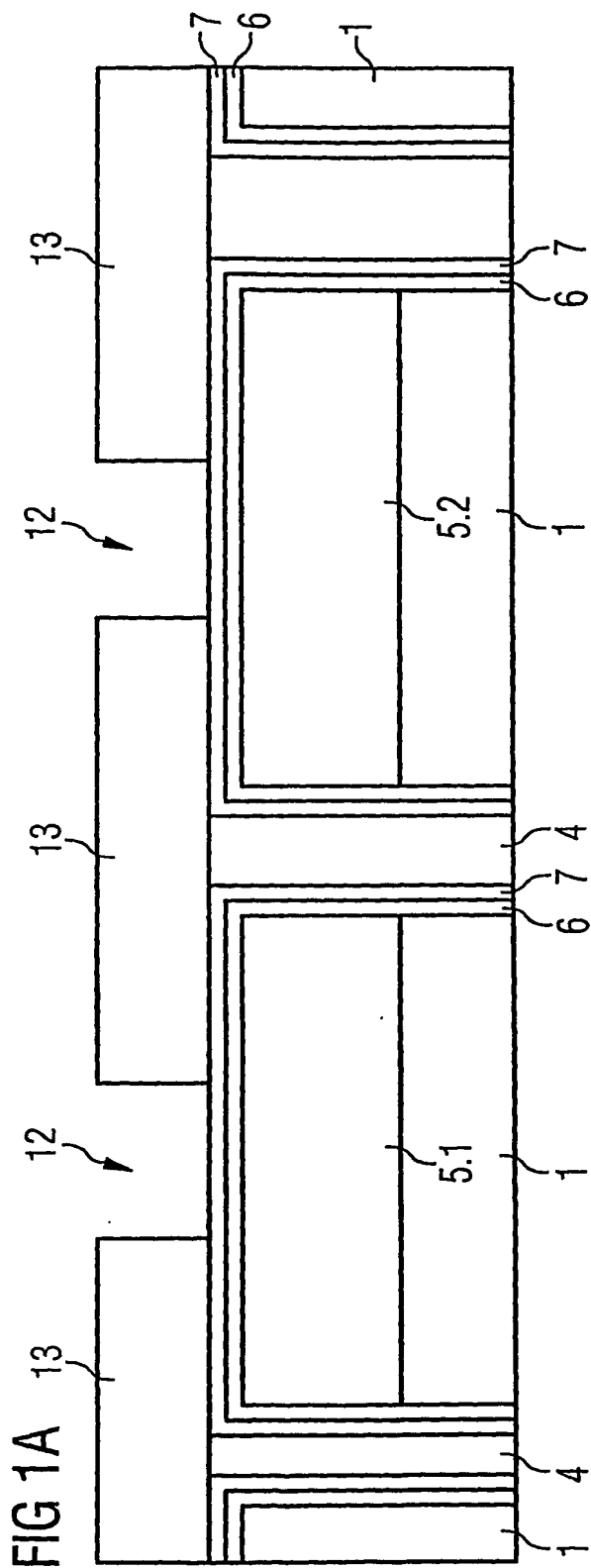
35

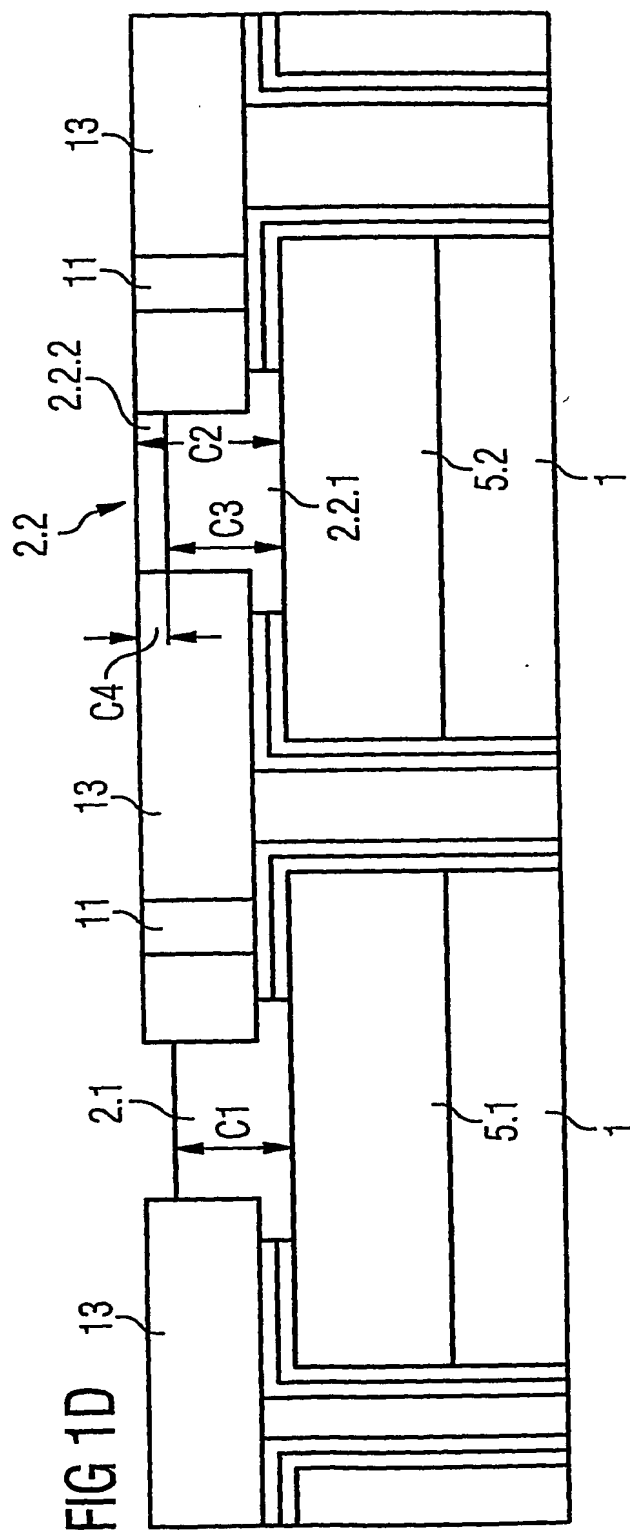
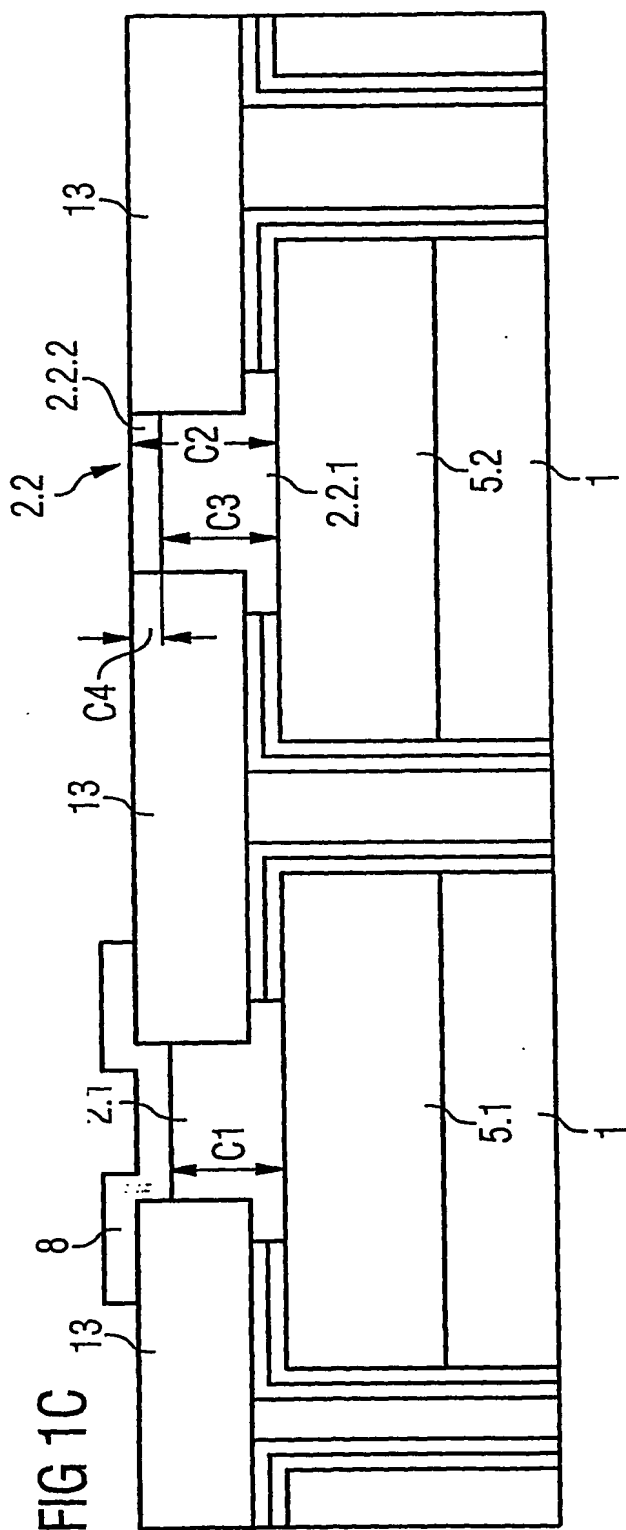
6. Verfahren nach einem der Ansprüche 1 bis 5,

dadurch gekennzeichnet,

dass eine Isolierschicht (3) zwischen dem Halbleitersubstrat (1) und den vergrabenen Schichten (5.1, 5.2) erzeugt wird.

7. Verfahren nach einem der Ansprüche 1 bis 6
5 dadurch gekennzeichnet,
dass der Isolationsbereich (4) mit Hilfe von Shallow Trench Isolationstechnik erzeugt wird.





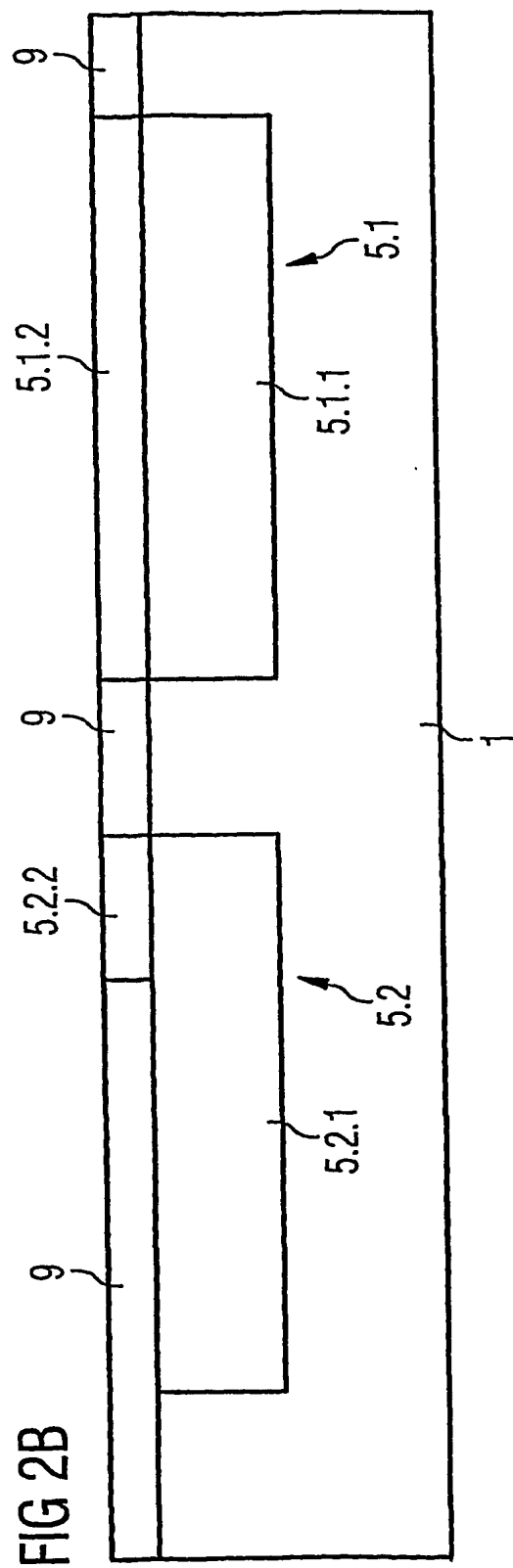
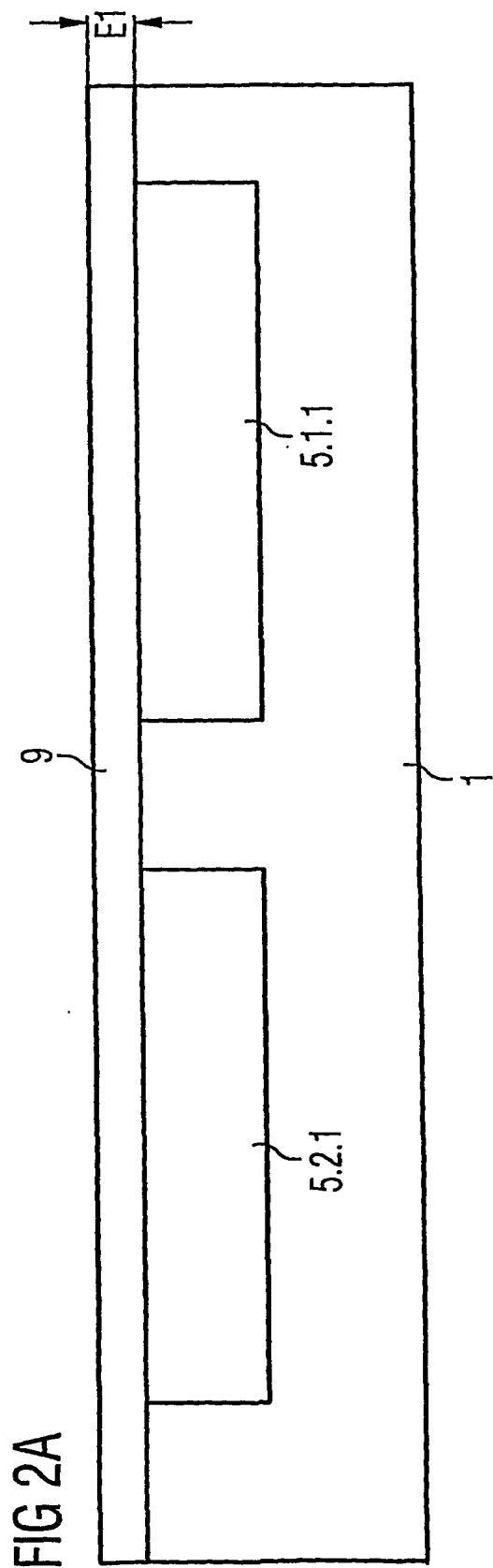


FIG 2C

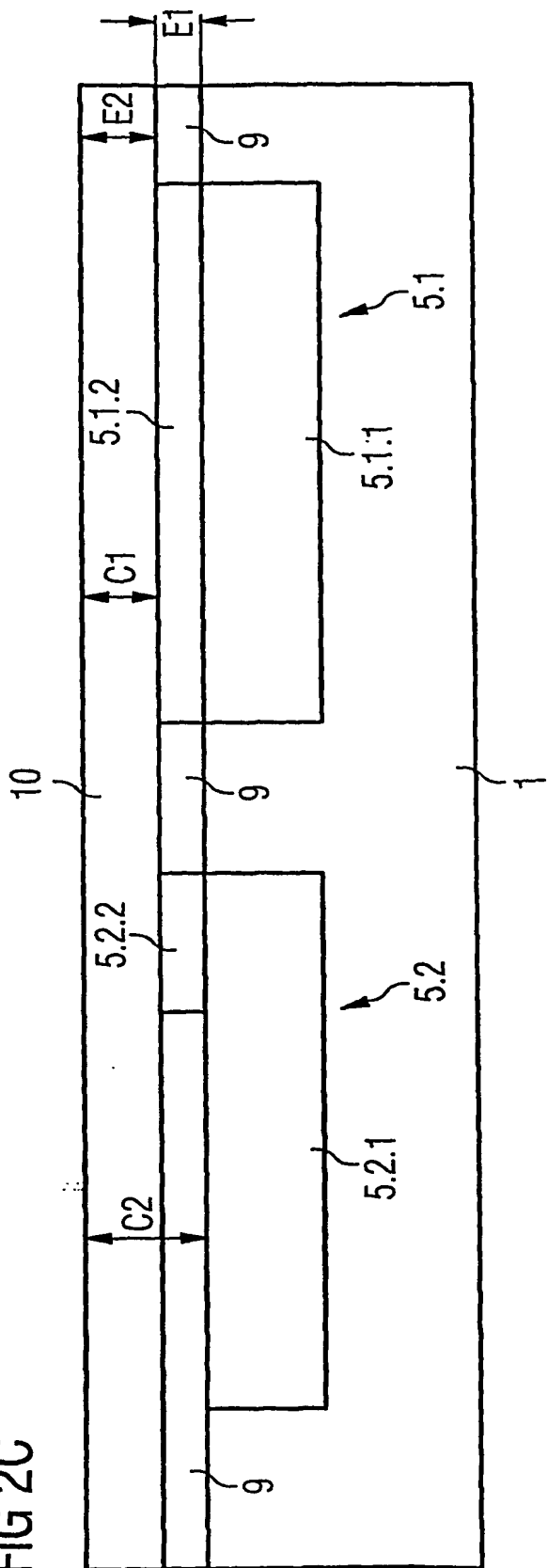
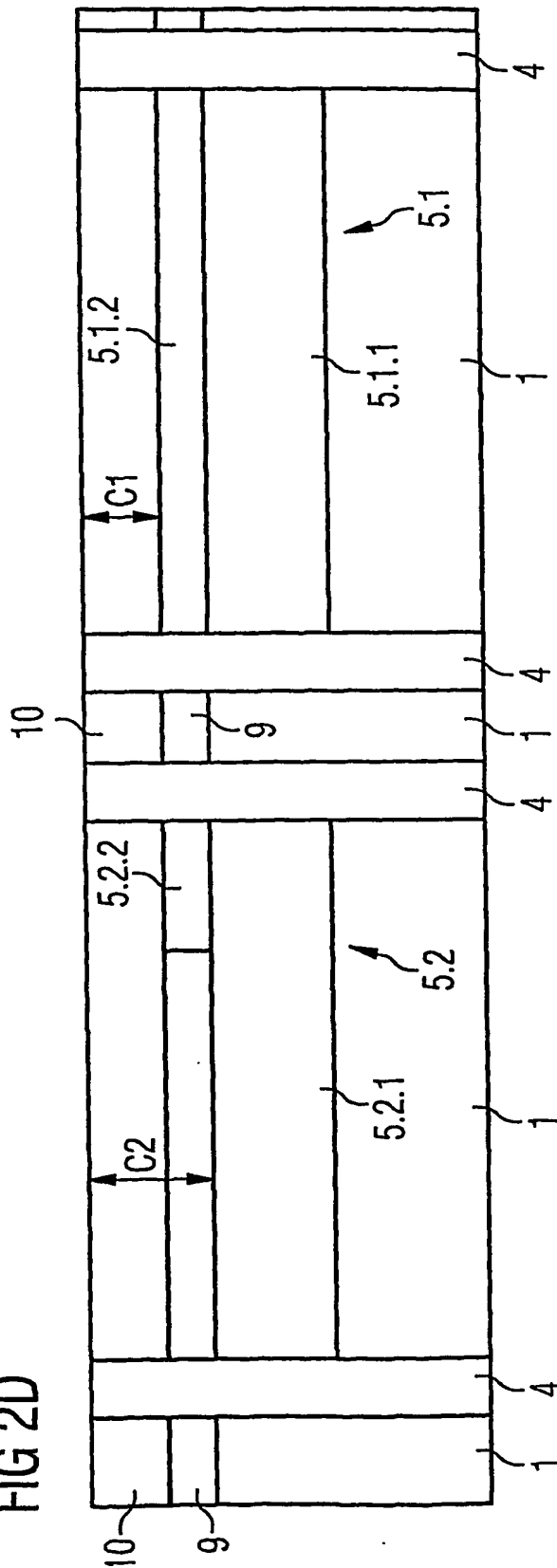
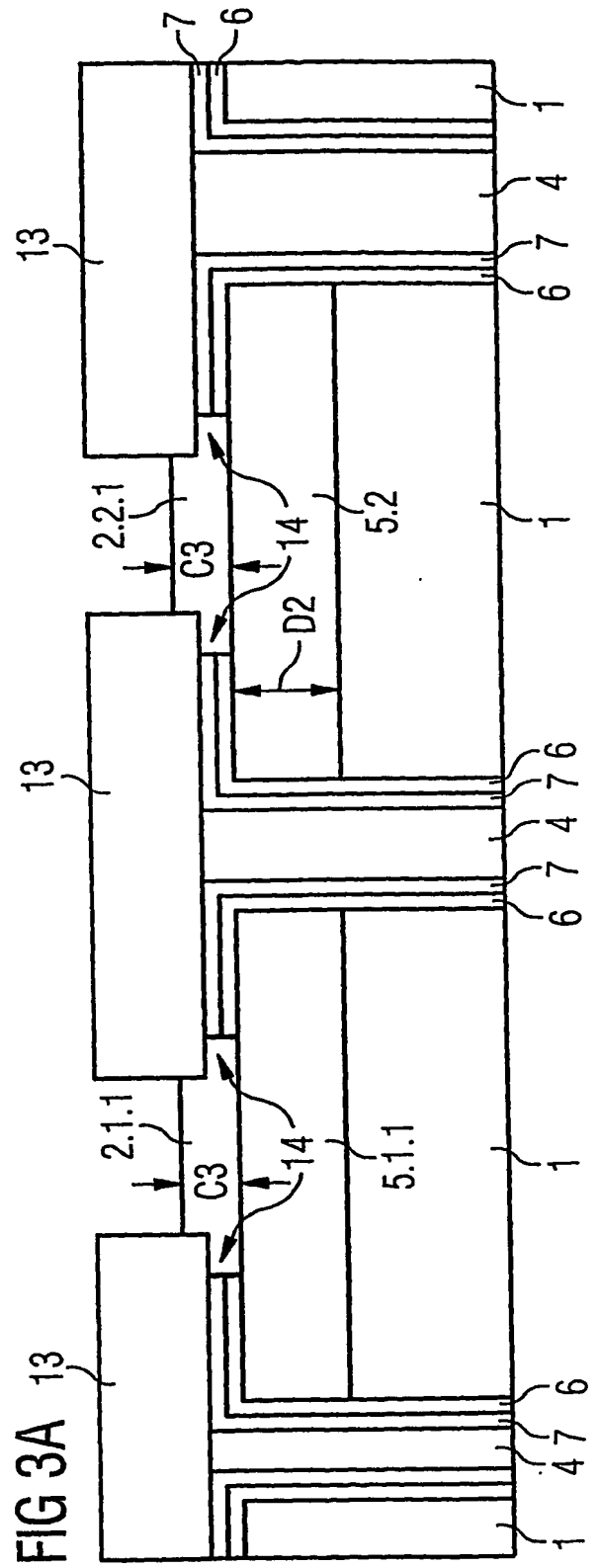
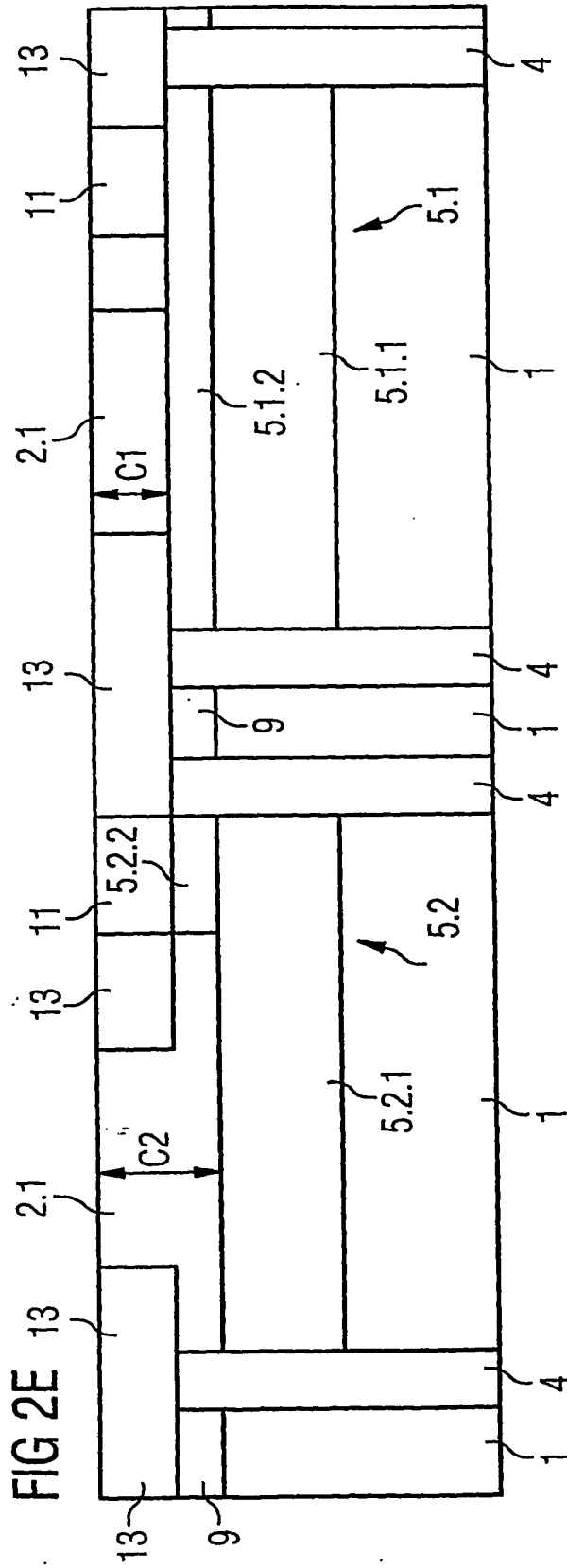
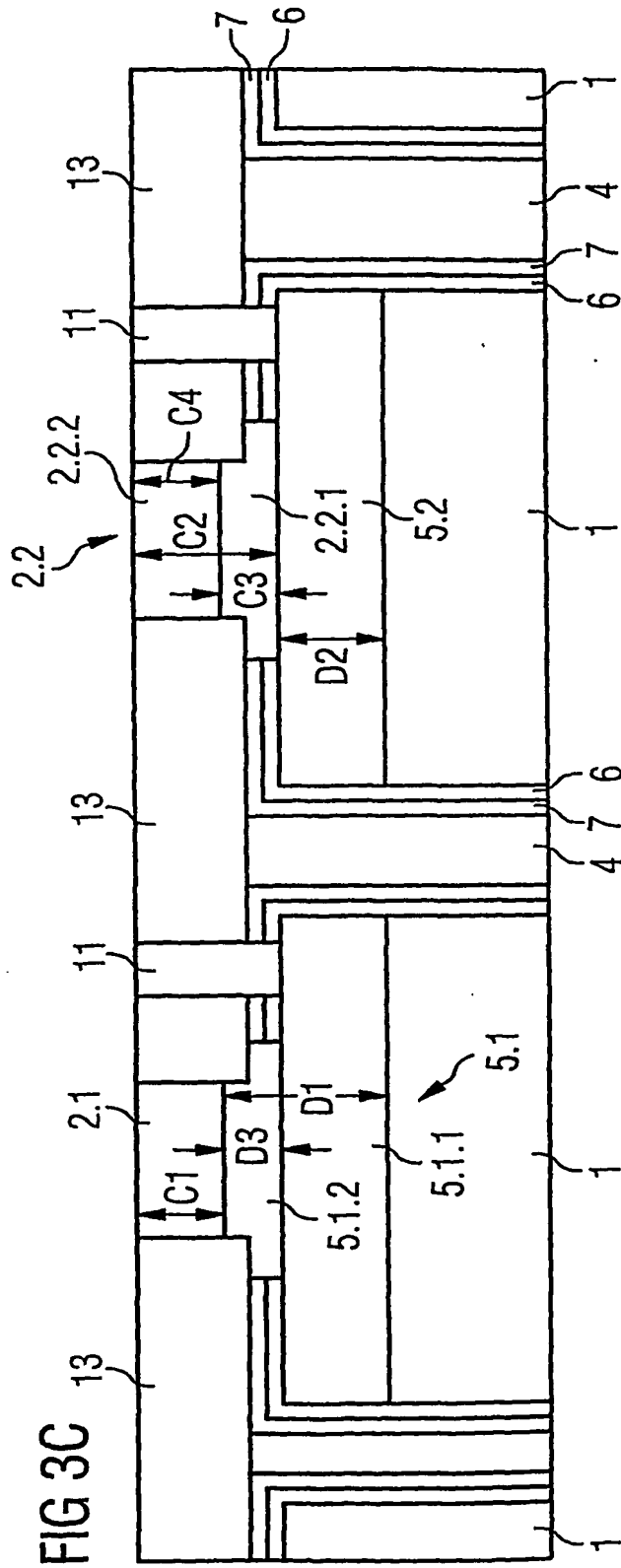
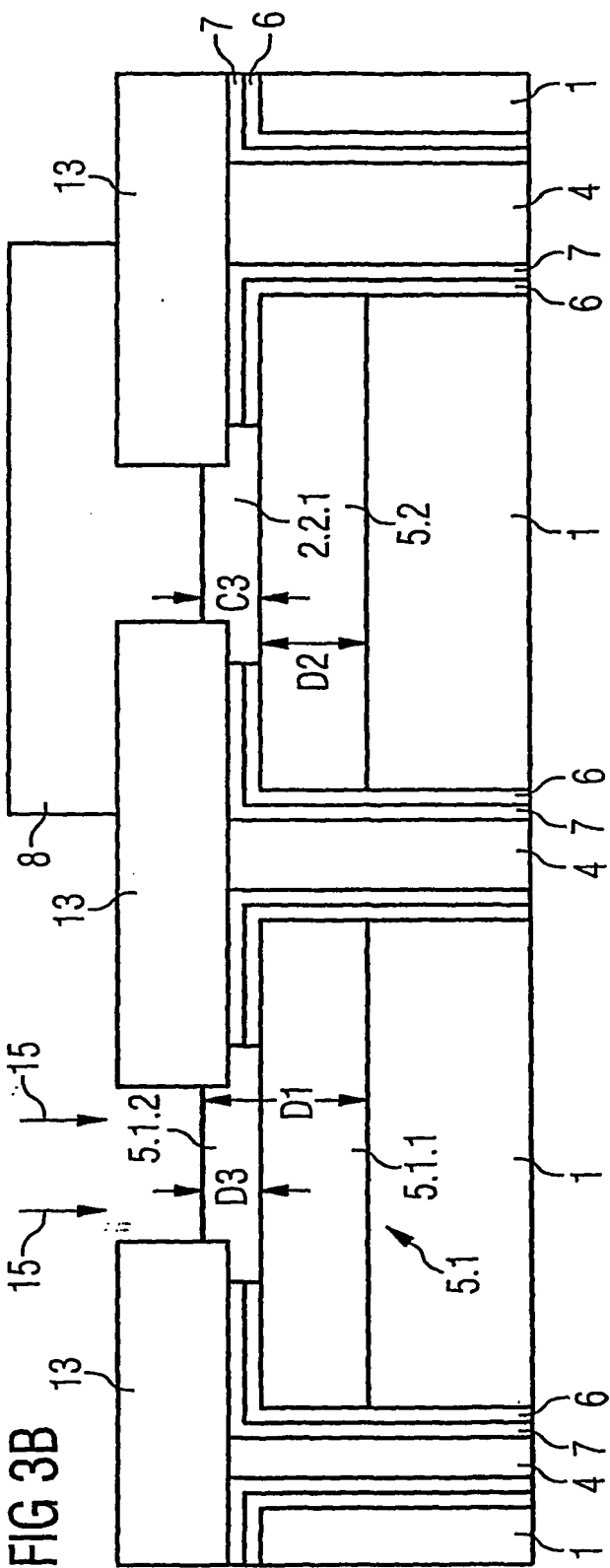
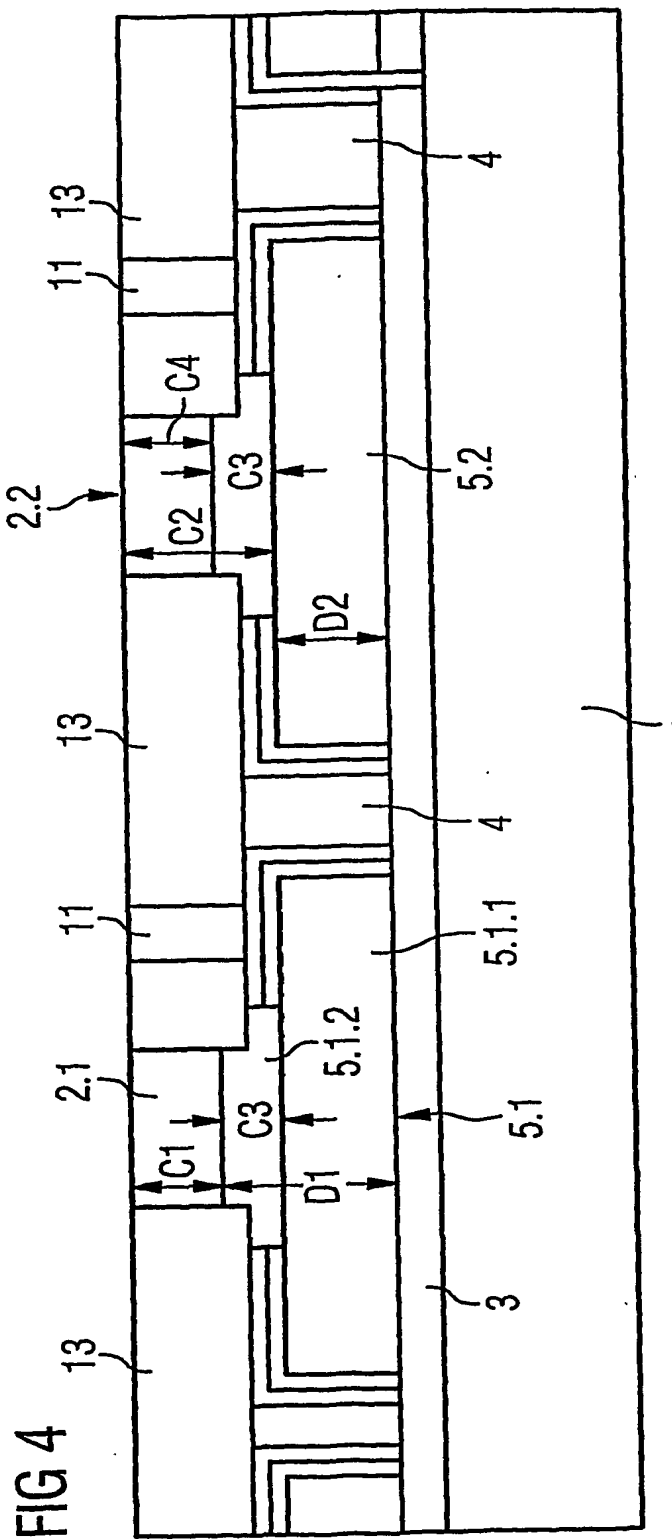


FIG 2D









INTERNATIONAL SEARCH REPORT

International Application No
PCT/03/03552

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L21/8222 H01L27/082 H01L29/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 882 294 A (CHRISTENSON JOHN C) 21 November 1989 (1989-11-21)	1-6
Y	the whole document figure 1	7
X	US 2001/045619 A1 (SLOTBOOM JAN WILLEM ET AL) 29 November 2001 (2001-11-29)	1-6
Y	paragraph '0021! - paragraph '0029! figures 3,5,6	7
X	WO 97/17726 A (NAT SEMICONDUCTOR CORP) 15 May 1997 (1997-05-15)	1,3-6
Y	page 3, line 23 -page 8, line 36 figures 5-12	2,7
X	GB 1 480 050 A (PHILIPS ELECTRONIC ASSOCIATED) 20 July 1977 (1977-07-20)	1
	the whole document	
	--- -/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

8 April 2004

Date of mailing of the international search report

21/04/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Bernabé Prieto, A

INTERNATIONAL SEARCH REPORT

International Application No

PCT/03/03552

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 100 44 838 A (INFINEON TECHNOLOGIES AG) 4 April 2002 (2002-04-04) the whole document figure 2 ----	1
Y	"BIPOLAR TRANSISTOR WITH PEDESTAL SUBCOLLECTOR REGIONS SELF-ALIGNED UNDERNEATH FIELD OXIDE REGIONS" IBM TECHNICAL DISCLOSURE BULLETIN, IBM CORP. NEW YORK, US, vol. 31, no. 3, 1 August 1988 (1988-08-01), pages 252-253, XP000120721 ISSN: 0018-8689 the whole document ----	7
Y	PATENT ABSTRACTS OF JAPAN vol. 007, no. 080 (E-168), 2 April 1983 (1983-04-02) -& JP 58 009354 A (TOKYO SHIBAURA DENKI KK), 19 January 1983 (1983-01-19) abstract ----	2
A	PATENT ABSTRACTS OF JAPAN vol. 011, no. 390 (E-567), 19 December 1987 (1987-12-19) -& JP 62 154779 A (HITACHI LTD), 9 July 1987 (1987-07-09) abstract -----	1-7

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/JP03/03552

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 4882294	A	21-11-1989	NONE	
US 2001045619	A1	29-11-2001	WO 0175974 A1 EP 1273042 A1 JP 2003529937 T	11-10-2001 08-01-2003 07-10-2003
WO 9717726	A	15-05-1997	WO 9717726 A1	15-05-1997
GB 1480050	A	20-07-1977	NL 7314466 A CH 573664 A5 DE 2447867 A1 FR 2248615 A1 JP 1058569 C JP 50068783 A JP 55013427 B	22-04-1975 15-03-1976 30-04-1975 16-05-1975 31-07-1981 09-06-1975 09-04-1980
DE 10044838	A	04-04-2002	DE 10044838 A1 WO 0221597 A1 US 2002158308 A1	04-04-2002 14-03-2002 31-10-2002
JP 58009354	A	19-01-1983	DE 3276888 D1 EP 0057549 A2	03-09-1987 11-08-1982
JP 62154779	A	09-07-1987	NONE	

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE/03552

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 H01L21/8222 H01L27/082 H01L29/08

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 4 882 294 A (CHRISTENSON JOHN C) 21. November 1989 (1989-11-21)	1-6
Y	das ganze Dokument Abbildung 1	7
X	US 2001/045619 A1 (SLOTBOOM JAN WILLEM ET AL) 29. November 2001 (2001-11-29)	1-6
Y	Absatz '0021! - Absatz '0029! Abbildungen 3,5,6	7
X	WO 97/17726 A (NAT SEMICONDUCTOR CORP) 15. Mai 1997 (1997-05-15)	1,3-6
Y	Seite 3, Zeile 23 -Seite 8, Zeile 36 Abbildungen 5-12	2,7
X	GB 1 480 050 A (PHILIPS ELECTRONIC ASSOCIATED) 20. Juli 1977 (1977-07-20)	1
	das ganze Dokument	
	--- -/-	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfindertischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfindertischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

8. April 2004

Absendedatum des internationalen Recherchenberichts

21/04/2004

Name und Postanschrift der internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Bernabé Prieto, A

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 100 44 838 A (INFINEON TECHNOLOGIES AG) 4. April 2002 (2002-04-04) das ganze Dokument Abbildung 2 ----	1
Y	"BIPOLAR TRANSISTOR WITH PEDESTAL SUBCOLLECTOR REGIONS SELF-ALIGNED UNDERNEATH FIELD OXIDE REGIONS" IBM TECHNICAL DISCLOSURE BULLETIN, IBM CORP. NEW YORK, US, Bd. 31, Nr. 3, 1. August 1988 (1988-08-01), Seiten 252-253, XP000120721 ISSN: 0018-8689 das ganze Dokument ----	7
Y	PATENT ABSTRACTS OF JAPAN vol. 007, no. 080 (E-168), 2. April 1983 (1983-04-02) -& JP 58 009354 A (TOKYO SHIBAURA DENKI KK), 19. Januar 1983 (1983-01-19) Zusammenfassung ----	2
A	PATENT ABSTRACTS OF JAPAN vol. 011, no. 390 (E-567), 19. Dezember 1987 (1987-12-19) -& JP 62 154779 A (HITACHI LTD), 9. Juli 1987 (1987-07-09) Zusammenfassung -----	1-7

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 4882294	A	21-11-1989	KEINE	
US 2001045619	A1	29-11-2001	WO 0175974 A1 EP 1273042 A1 JP 2003529937 T	11-10-2001 08-01-2003 07-10-2003
WO 9717726	A	15-05-1997	WO 9717726 A1	15-05-1997
GB 1480050	A	20-07-1977	NL 7314466 A CH 573664 A5 DE 2447867 A1 FR 2248615 A1 JP 1058569 C JP 50068783 A JP 55013427 B	22-04-1975 15-03-1976 30-04-1975 16-05-1975 31-07-1981 09-06-1975 09-04-1980
DE 10044838	A	04-04-2002	DE 10044838 A1 WO 0221597 A1 US 2002158308 A1	04-04-2002 14-03-2002 31-10-2002
JP 58009354	A	19-01-1983	DE 3276888 D1 EP 0057549 A2	03-09-1987 11-08-1982
JP 62154779	A	09-07-1987	KEINE	

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.